

PATENT ABSTRACTS OF JAPAN

P-2250

(11)Publication number : 2001-257357

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

H01L 29/786

(21)Application number : 2000-068629

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 08.03.2000

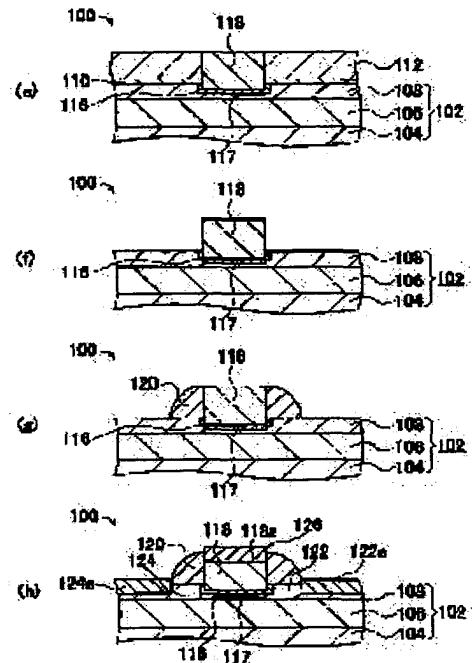
(72)Inventor : IDA JIRO
TAKEDA MAKOTO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method which has an SOI structure, capable of suppressing its short channel effect and its parasitic resistance.

SOLUTION: On a semiconductor layer 108, which is the constituent an SOI wafer 102 of a semiconductor device 100, first and second insulation layers 110, 112 are formed. An opening portion 114 is formed in the first and second insulation layers 110, 112 so that the thickness of the portion of semiconductor layer 108, where a channel portion 117 is formed is made smaller than the thickness of the portion of the semiconductor layer 108 where source and drain portions 122, 124, are formed. After forming a gate insulation film 116 in the semiconductor layer 108, the channel portion 117 is formed in the portion of the semiconductor layer 108, which is present below the gate insulation film 116. After forming a gate electrode 118 in the opening portion 114, the first and second insulation films 110, 112 are removed to form sidewalls 120. In the semiconductor layer 108, the source and drain portions 122, 124 are formed so as to interpose the channel portion 117 between them, and the surfaces of the source and drain portions 122, 124 are made into silicide.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

規かつ改良された半導体装置およびその製造方法を提供することである。

【0006】上記課題を解決するために、本発明の第1の観点によれば、半導体基板上に形成された半導体要素を備える半導体装置において、半導体基板上に埋め込み絶縁層と半導体層とが積層されたSOI基板に由来するゲート電極層を介して形成されるゲート電極と、ゲート電極層下方の半導体層に形成されるチャネル領域と、チャネル領域を併んで半導体層間に形成されるソース領域およびドレイン領域と、ソース領域とドレイン領域に形成されるシリサイド領域とを備え、チャネル領域が形成された層の厚みは、ソース領域およびドレイン領域が形成された層の厚みよりも薄いことを特徴とする半導体装置が提供される。

【0007】本発明によれば、半導体層の厚みは、ソースおよびドレイン領域形成部分よりもチャネル領域形成部分が薄い。このため、半導体装置の微細化によりゲート電極のゲート長を短くしても、半導体層のチャネル領域形成部分の厚みが薄いので、短チャネル効果を抑制できる。また、半導体層のソースおよびドレイン領域形成部分の厚みは、チャネル領域形成部分とは開けた独立に厚くできる。このため、ソースおよびドレイン領域に形成されるシリサイド領域の厚みを薄く形成できる。その結果、ソースおよびドレイン領域と半導体層との間に生じる寄生抵抗を抑制できる。

【0008】さらに、半導体層間に絶縁層を形成し、ゲート電極を絶縁層に貫通して接続されることで形成される開孔部から絶縁層上に形成されるゲート電極が阻害しないように構成される。このため、半導体層の微細化によってゲート電極のゲート幅(断面幅)が拡大しても、ゲート電極の表面面積を広げることができる。その結果、ゲート電極の低抵抗化を防止できる。

【0009】さらに、ゲート絶縁膜をSiO₂よりも誘電率が高い材料から構成することが好ましい。かかる構成によれば、半導体装置の微細化により、ゲート電極のゲート長を短くしても、半導体要素(トランジスタ素子)の駆動力を向上させることができる。

【0010】また、本発明の第2の観点によれば、半導体基板上に埋め込み絶縁層と半導体層とが積層されたSOI基板に由来するゲート電極層が形成する工程と、第1開孔部を形成する工程と、第2開孔部を形成する工程と、第1ゲート絶縁膜を形成する工程と、チヤネル領域下方の半導体層間にチャネル領域を形成する工程と、チヤネル領域形成後、第1開孔部内に第1ゲート電極を形成する工程と、第1ゲート電極の形成後、第1絶縁膜を除去する工程と、第1絶縁膜の除去後、チャネル領域を形成する工程と、半導体層間にソース領域とドレイン領域とを形成する工程と、第1ゲート絶縁膜下方の半導体層間にチャネル領域を形成する工程と、チヤネル領域と、ソースおよびドレイン領域とを直立できないという観点がある。

【0011】本発明は、従来の技術が有する上記問題点に鑑みて成されたものであり、本発明の目的は、上記問題點およびその他の問題点を解決することができる、新規構成と、チヤネル領域とが形成される半導体層18の駆動確保とを直立できないという観点がある。

【0012】本発明は、上記の技術が有する上記問題点に鑑みて成されたものであり、本発明の目的は、上記問題點およびその他の問題点を解決することができる、新規構成と、チヤネル領域とが形成される半導体層18の駆動確保とを直立できないという観点がある。

る工程と、ソース領域とドレイン領域とにシリサイド領域を形成する工程とを含み、第1開孔部を形成する工程は、チャネル領域が形成される半導体層の厚みがソース領域およびドレイン領域が形成される半導体層の厚みよりも薄くなるように第1開孔部を形成する工程であることを特徴とする半導体装置の製造方法が提案される。本発明によれば、上述した半導体層の厚みが、ソースおよびドレイン領域形成部分よりもチャネル領域形成部分で薄い半導体装置を形成することができる。

熱酸化処理は、酸化層 1.08a 下部の半導体層 1.08が上述した順序、例えば 1.0 nm 以下になるように行う。例えば、酸化膜層 1.08a は、上記の如く半導体層 1.08 の厚みが 60 nm 程度であれば、50 nm 程度の厚みに形成する。かかる構成によれば、除去する酸化層 1.08a を熱酸化処理により形成する。熱酸化処理は、ドライエッチング処理と比較して制御性が高い。その結果、所定厚みの酸化層 1.08a を一気に形成できる。

【0023】次いで、図 2(c-2) に示すように、酸化層 1.08a を、例えば HF 等を用いたウェットエッチングで成膜されている。CVD 法により 200 nm 程度の厚みに成膜されている。

[0019] において、図1 (b) に示すように、フォトリソグラフィおよびエッチング法(以下、「フォトリソグラフィおよびエッチング法」という。)により、後述のゲート電極1 1 0 nm以下の厚みの半導体層1 0 8を形成できる。かかる構成によれば、酸化層1 0 8をウエットエッティング法により除去する。ウエットエッティング法によれば、酸化層1 0 8を選択的に除去することができる。その結果、上記1 0 nm以下の厚みの半導体層1 0 8を均一かつ確実に形成できる。

[0020] において、図1 (c) に示すように、第1絶縁膜1 1 0をマスクとして半導体層1 0 8の露出部分をドライエッティングする。半導体層1 0 8のエッティング部

【0029】(第2の実施形態) 次に、図4を参照しながら、本発明の第2の実施形態にかかる半導体装置200を形成する。半導体装置200を形成した場合には、まず上記第1の実施形態で説明した図1～図3に示す各工程を行、図3(h)および図4(a)に示す如く、ゲートシリサイド部118a、ソースシリサイド部122a、ドレンシリサイド部124aを形成する。

【0030】次いで、図4(b)に示すように、SOIウェハ102の表面全面に、例えばCVD法により、塗装後乾燥118の構成材料、例えばポリシリコンを堆積

後に、図1(d)に示すように、開孔部114内の半導体層108の露出面により、ゲート酸化膜116は、短時間でゲート効果を抑制することを好ましにゲート電極118の表面に形成されている。次いで、半導体層108とゲート酸化膜116との界面に、イオン注入法により、チャネルオイン、例えばBイオンを注入し、チャネル部117を形成する。

【0025】次いで、図3(e)に示すように、SOIウェハ102の表面全面に、例えばCVD法により、ゲート電極118の厚みは2.0 nm程度でも良い。さらに、ゲート電極118のゲート長を0.2 μmにする場合には、上記半導

〔10021〕そこで、本実験の形態では、ゲート電極1-18のゲート長が0.2μm以下の場合はもちろん、0.2μm以上であっても、チネル部1-17下部の半導体層1-08の厚みが1.0nm以下になるように上記工程でチッピングを行なう。ついで、例えは半導体層1-08の厚みが0.2μmのときであればチネル部1-17を形成せず、チネル部1-17の構成部であればチネル部1-17を形成する。

〔10022〕そこで、本実験の形態では、ゲート電極1-18のゲート長が0.2μm以下の場合はもちろん、0.2μm以上であっても、チネル部1-17下部の半導体層1-08の厚みが1.0nm以下になるように上記工程でチッピングを行なう。ついで、例えは半導体層1-08の厚みが0.2μmのときであればチネル部1-17を形成せず、チネル部1-17の構成部であればチネル部1-17を形成する。

〔10023〕そこで、本実験の形態では、ゲート電極1-18のゲート長が0.2μm以下の場合はもちろん、0.2μm以上であっても、チネル部1-17下部の半導体層1-08の厚みが1.0nm以下になるように上記工程でチッピングを行なう。ついで、例えは半導体層1-08の厚みが0.2μmのときであればチネル部1-17を形成せず、チネル部1-17の構成部であればチネル部1-17を形成する。

〔10024〕そこで、本実験の形態では、ゲート電極1-18のゲート長が0.2μm以下の場合はもちろん、0.2μm以上であっても、チネル部1-17下部の半導体層1-08の厚みが1.0nm以下になるように上記工程でチッピングを行なう。ついで、例えは半導体層1-08の厚みが0.2μmのときであればチネル部1-17を形成せず、チネル部1-17の構成部であればチネル部1-17を形成する。

〔10025〕そこで、本実験の形態では、ゲート電極1-18のゲート長が0.2μm以下の場合はもちろん、0.2μm以上であっても、チネル部1-17下部の半導体層1-08の厚みが1.0nm以下になるように上記工程でチッピングを行なう。ついで、例えは半導体層1-08の厚みが0.2μmのときであればチネル部1-17を形成せず、チネル部1-17の構成部であればチネル部1-17を形成する。

〔10026〕次いで、図3(1)に示すように、エッチング法により、第1および第2絶縁膜1-10、1-12を除去する。次いで、図3(9)に示すように、SOIウエハ1-02の表面に、例えはCVD法により熱酸化材

〔10027〕性材料、例えはSiO₂から成る。その後、第3絶縁膜2-02を堆積する。第3絶縁膜2-02は、地盤内に堆積するよう、エッチバック法やCMP法などにより、ゲートシリサイド部1-18の表面が露出するまで除去する。

〔10028〕次いで、図4(c)に示すように、ゲートシリサイド部1-18-a、ゲート電極1-18-b、ゲート電極膜1-16を除去する。この際、ゲートシリサイド部1-18-aおよびゲート電極1-18-bは、ドライエッチング法により、第3絶縁膜2-02との密着性を保持して第3絶縁膜2-02を堆積する。

る。
【0032】次いで、図4(d)に示すように、開孔部204と第3絶縁膜202との露出面に、例えばバッタ法により、SiO₂よりも諸電界が高い材料、例えばSiN、Al₂O₃、Ta₂O₅などを堆積し、ゲート酸化膜208を成膜する。その後、SOIウェハ102の表面全面に、例えばCVD法やスピッタ法により、ボリシリコンやTiN等を堆積する。そして、フォトリソエッチャリング法により、不要なボリシリコン膜等を除去して、ゲート電極210を形成する。

[0033] 以上のように、本実施の形態によれば、ゲート酸化膜 208 および漏電荷の材料から形成される。このため、ゲート電極 210 のゲート長を 0.1 μm 以下などに狭小化しても、MOSFET の駆動力などの動作性能を向上させることができ。また、本実施の形態によれば、ソース部 212 およびドレイン部 112 の活性化膜 208 に伴う熱処理後、かつソース/ドレイン部 112 の活性化膜 208 およびシリコンドライド部 220a およびシリコンドライド部 112 と形状時の熱処理後に、改めてゲート酸化膜 208 を形成できる。ゲート酸化膜 208 を構成する高耐熱性樹脂は、一般的に高温熱処理を行なうと、リード電流の増大等の優れた劣化を起し易い。従って、本実施の形態によれば、ゲート酸化膜 208 の形成後には高温熱処理を行なわないので、高耐熱性樹脂から成るゲート酸化膜 208 を採用しても、上記品質の劣化が発生することがない。

[0034] (第3の実施の形態) 次に、図 5～図 7 を参照しながら、本実現の第3の実施の形態にかかる半導体装置 300 について説明する。半導体装置 300 は、上記半導体装置 100、200 とは異なり、以下のように形成される。まず、図 5(a) に示すように、SOI ワエハ 102 の半導体層 108 上に第 1 絶縁膜 302 を形成する。第 1 絶縁膜 302 は、例えば Si-N から成り、CVD 法により 50 nm 程度の厚みに形成されている。なお、SOI ワエハ 102 は、上記半導体装置 100、200 と同一に構成されている。

[0035] 次いで、図 5(b) に示すように、半導体装置 100、200 の製造工程とは異なり、第 2 絶縁膜 112 を形成せざり、フォトリソーチャンバーにより、ゲート電極 306 を形成する。その結果、開孔部 304 の底部には、半導体層 108 が露出する。

[0036] 図 5(c) に示すように、上記第 1 の実施の形態で説明した図 1(c) に示す工程と同様に、第 1 絶縁膜 302 をマスクとして半導体層 108 の露出部分をドライエッチングする。また、該エッチングは、ゲート電極 306 のゲート長に限ららず、チャネル部 117 下部の半導体層 108 の厚膜が上記 10 nm 以下になるまで行う。かかる構成により、上記第 1 および第 2 の実施の形態と同様に、短チャネル効果を抑制でき

る。

[0037] また、上記図5(c)に示す工程に代えて、上記第1の実施の形態で説明した図2に示す工程と同様の図6に示す工程により、チャネル部117を形成する半導体層108の駆動調整を行って良い。すなわち、図6(c-1)に示すように、上記図2(c-1)に示す工程と同様に、開孔部302底部に露出した半導体層108を熱処理法により、ゲート電極306を形成する。その後、図6(c-2)に示すように、上記第2(c-2)に示す工程と同様に、酸化層108aをウエットエッチング法により除去し、チャネル部117下部の半導体層108の厚みを1.0nm以下にする。

[0038] 一方で、図5に示す工程と同様に、開孔部117内に半導体層108の露出面に、熱処理法により、ゲート電極306を形成する。その後、図5(d)に示すように、上述した工程と同様に、開孔部117内に半導体層108の露出面に、熱処理法により、ゲート電極306を形成する。その結果、ゲート電極306と半導体層108との間に、ゲート電極306と半導体層108との間に、第1絶縁膜302が残る。

[0039] 次いで、図7(h)に示す工程と同様に、開孔部117内に半導体層108の露出面に、熱処理法により、ゲート電極306を形成する。その後、図7(e)に示す工程と同様に、開孔部117内に半導体層108とゲート電極306とゲート電極306を注入法により、チャネルサイド部122a、ドレインサイド部122b、ソースサイド部122c、ドレインサイド部122dを形成する。その後、SOIウェハ102上にFD型MOSFETが形成される。

[0040] 一方で、図7(e)に示す工程と同様に、SOIウェハ102の表面全面に、CVD法により導電性材料、例えばポリシリコンを堆積し、導電層306aを形成する。導電層306aは、例えば300nm程度の厚みに堆積する。

[0041] 次いで、図7(f)に示すように、ゲート電極306を形成する部分の導電層306a上に不図示のレジスト膜を形成した後、ドライエッチングを行い、ゲート電極306を形成する。本実施の形態では、開孔部304の形成部分以外の半導体層108上に、開孔部302が形成されている。かかる構成により、開孔部304の形成部分以外では、上記導電層306aを形成しても、第1絶縁膜302により導電層306aと半導体層108とを絶縁できる。そのため、ゲート電極306のバーニング時に、導電層306aを開孔部304だけではなく、第1絶縁膜302上にも残存されれば、ゲート電極306の断面積を増加させることができ。その結果、半導体装置300の断面積により、開孔部304の幅(ゲート電極306のゲート幅)が拡まつても、第1絶縁膜302上にも導電層306a(ゲート電極306)を残存せれば、ゲート電極306の抵抗値の増加を防止できる。

[0042] また、ゲート電極306のゲート抵抗値は、一般的に1.0Ω以下にすることが好ましい。そこで、かかる抵抗値を満たすゲート電極306の断面積は、例えばゲート幅を1.0μmとし、ゲート電極306に形成される後のゲートサイド部306bのシート抵抗が5Ω/□であるとすると、0.5μm²以上となる。そこで、ゲート電極306の断面積が開孔部304

に形成された部分で上記0.5μm²以上にならない場合には、上記断面積を満たすようにゲート電極306の上部を第1絶縁膜302上に沿って形成する。この際、ゲート電極306の断面形状は、図7(f)に示すように、階段字状になる。かかる構成によれば、ゲート電極306の一部を第1絶縁膜302上にも形成できる。このため、ゲート電極306の断面積を容易に広げることができる。その結果、チャネル部117を狭小化しても、ゲート電極306のゲート抵抗値が増大することを防止できる。

[0043] ゲート電極306の形成後、図7(g)に示すように、上記ゲート電極306上のレジスト膜をマスクとしてドライエッチング処理を行い、不要な第1絶縁膜302を除去する。その結果、ゲート電極306と半導体層108との間に、第1絶縁膜302が残る。

[0044] 次いで、図7(h)に示す工程と同様に、上記図3(g)および図3(h)に示す工程と同様に、サイドウォール1220、ソース部1222、ドレイン部1224、ゲートサイド部1226、ソースサイド部1228、ドレインサイド部122aを形成する。その後、SOIウェハ102上にFD型MOSFETが形成される。

[0045] 以上のように、本実施の形態によれば、チャネル部117を微細化しても、ゲート電極306の断面積を確保することができる。このため、ゲート電極306のゲート抵抗の上昇を防止できる。また、本実施の形態によれば、図5(a)に示すように、半導体層108上に多層に渡り絶縁層を形成する必要がないなど、製造工程を簡素化できる。その結果、半導体装置300の歩留り向上、製造コストの低下、製造期間の短縮が図れる。

[0046] 一方で、図7(i)に示す工程においても、本実施の形態によれば、チャネル部117を微細化しても、添付图案を参照しながら説明したが、本発明はかかる構成に限定されるものではない。特許請求の範囲に記載された技術的思惟の範囲において、当業者であれば、各種の変更例および修正例についても本発明の技術的範囲に属するものと了解される。

[0047] 本発明の効果 本発明によれば、SOI基板上の半導体層の設置を、チャネル領域と、ソース領域およびドレイン領域で個別独立に設定することができる。このため、チャネル領域の半導体層の厚みを薄くすれば、チャネル効果を抑制できる。また、ソース領域およびドレン領域の半導体層の厚みを厚くすれば、寄生抵抗を抑制できる。

[0048] 本発明の第1の実施の形態の半導体装置の構成を説明するための半導体装置の概略的な断面図である。

[図1] 本発明の第1の実施の形態の半導体装置の概略的な断面図である。

[図2] 本発明の第1の実施の形態の半導体装置の概略的な断面図である。

[図3] 本発明の第1の実施の形態の半導体装置の概略的な断面図である。

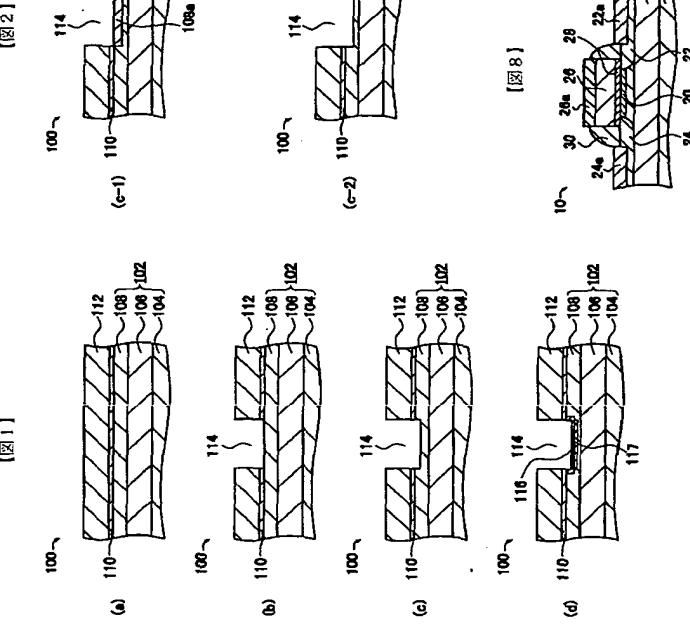
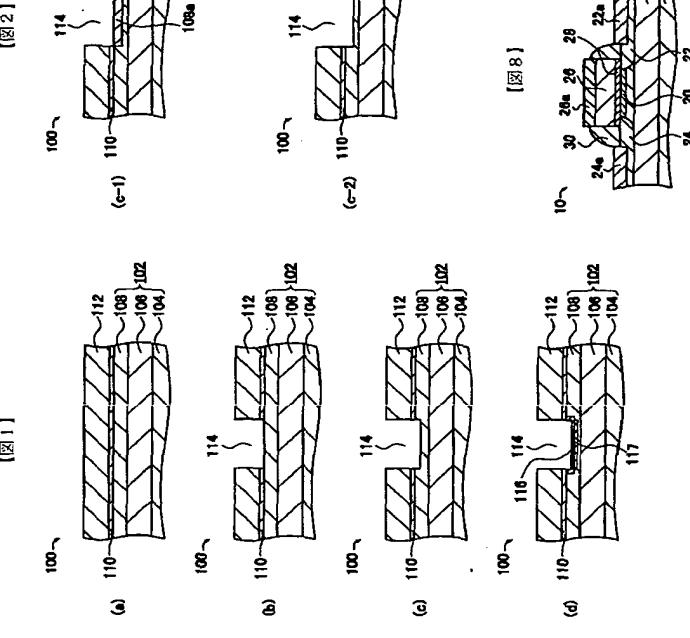
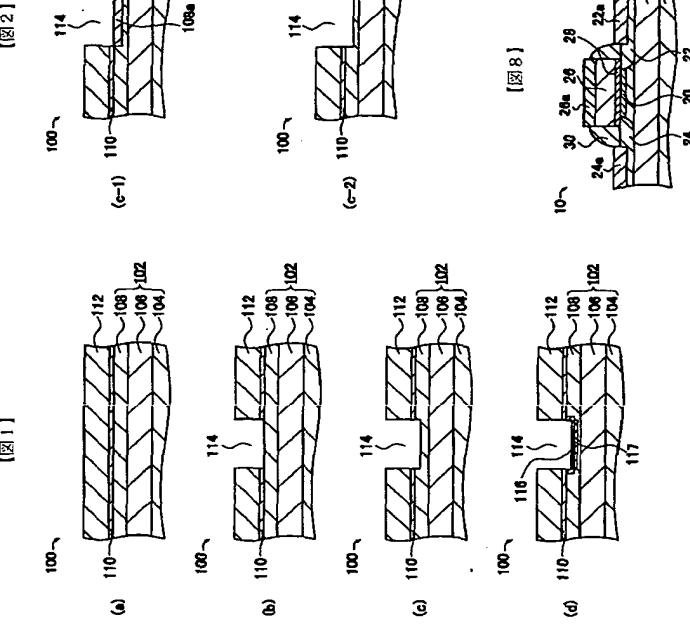
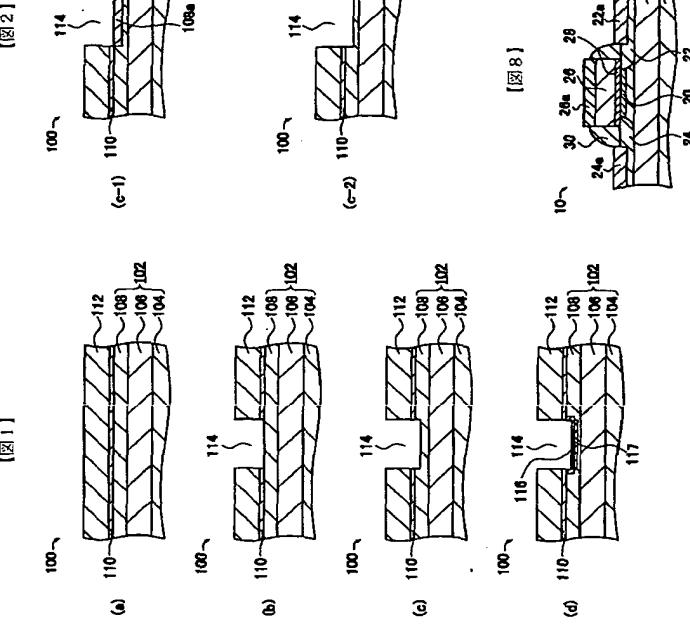
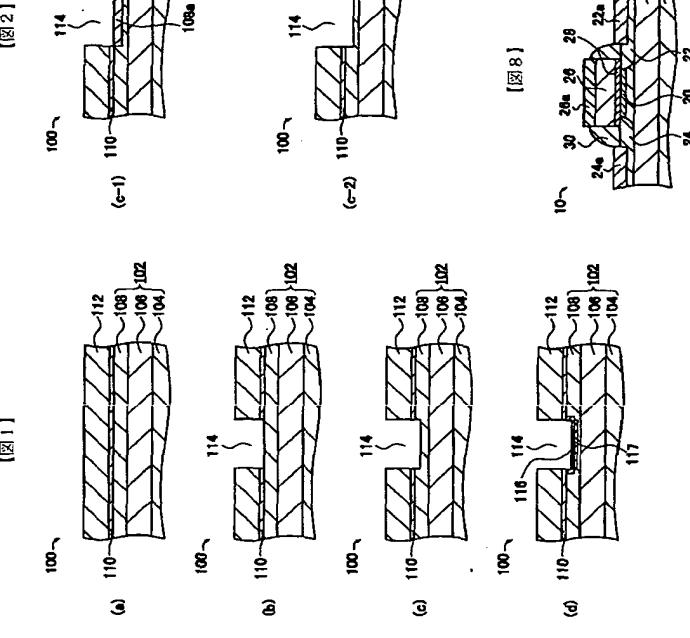
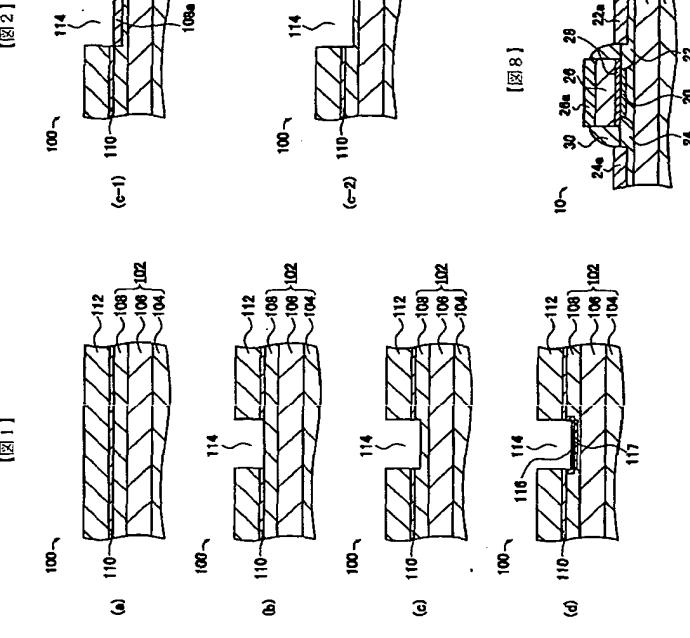
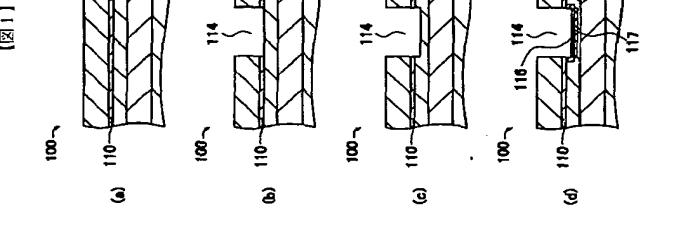
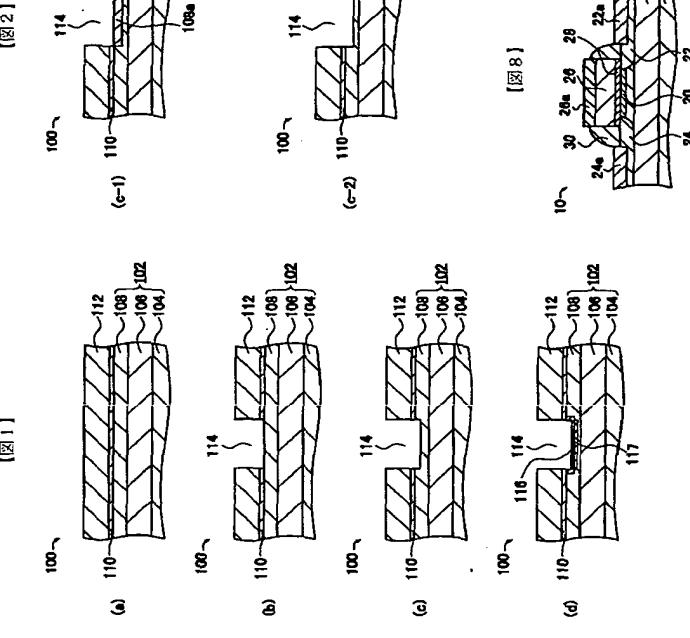
[図4] 本発明の第2の実施の形態の半導体装置の概略的な断面図である。

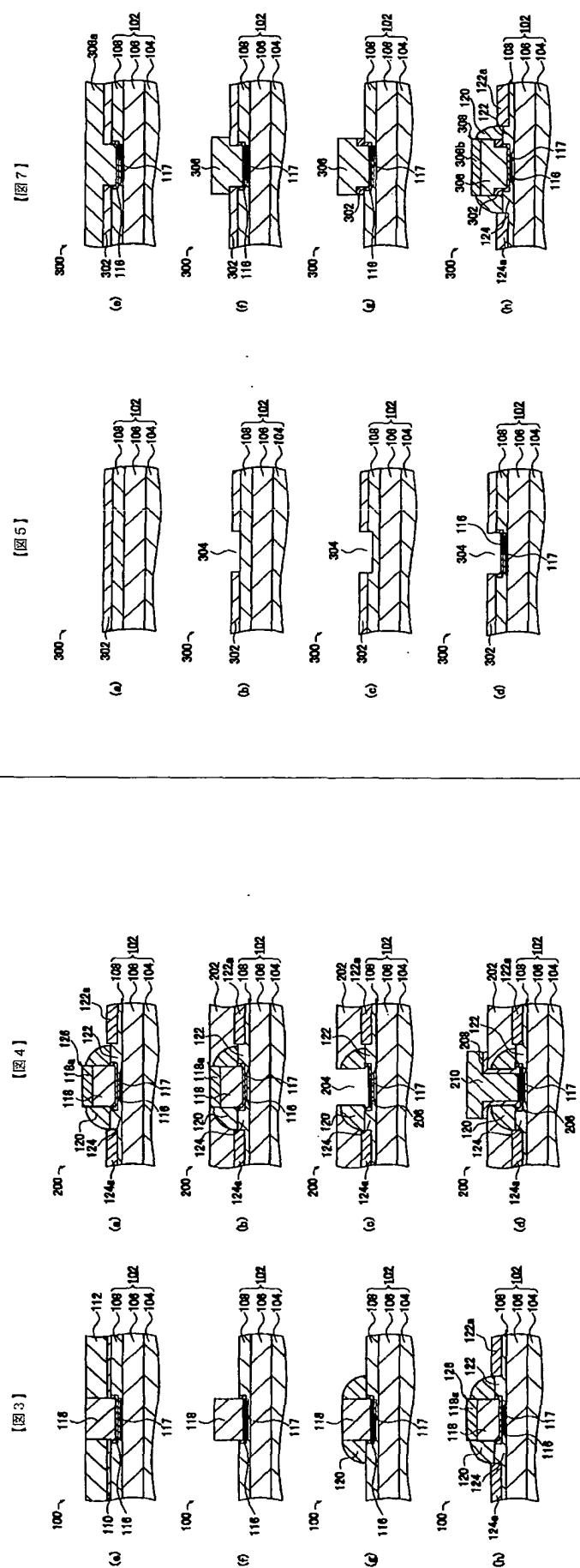
[図5] 本発明の第3の実施の形態の半導体装置の概略的な断面図である。

[図6] 本発明の第4の実施の形態の半導体装置の概略的な断面図である。

[図7] 本発明の第3の実施の形態の半導体装置の概略的な断面図である。

[図8] 従来の半導体装置を示す概略的な断面図である。





フロントページの続き

F ターム(参考) 5F110 AA03 AA16 CC02 DD05 DD13
EE01 EF05 FE09 EE14 EE32
EEA4 EE45 FF01 FF02 FF03
FF23 FF28 GG02 GG12 GG22
GG25 GG28 GG29 GG32 GG52
IIJ01 IIJ13 IIJ23 IR05 IRK17
IRK40 QQ11 QQ17 QQ19